

59-126673

THIN FILM TRANSISTOR

Patent Number: JP59126673
Publication date: 1984-07-21
Inventor(s): YAMADA TAKEO
Applicant(s): SUWA SEIKOSHA KK
Requested Patent: JP59126673
Application JP19830002445 19830111
Priority Number(s):
IPC Classification: H01L29/78
EC Classification:
Equivalents:

Abstract

PURPOSE: To increase the reliability at a low cost by forming an interlayer insulation film on a gate electrode wiring via a lead glass layer, in a thin film transistor (Tr) whose gate electrode material is made of polycrystalline Si.

CONSTITUTION: The Tr region 19 is formed on the main surface of a transparent insulation substrate 18 by means of a polycrystalline Si film. A gate oxide film 20 is formed on its surface. Next, the polycrystalline Si 21 for an electrode is deposited on the whole of the main surface of the substrate 18. Then, the Si 21 is photo-etched, the electrode wiring 22 is formed, and successively ions are implanted with an ion implanting device, thus forming the source and the drain. Thereafter, the wiring resistance is decreased by doping phosphorus at a high concentration into the polycrystalline Si electrode wiring. An oxide film 24 is deposited as an interlayer insulation film on a phosphorus glass and thereafter annealed. After boring a contact, a source and a drain electrode 25 are formed.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59—126673

⑪ Int. Cl.³
H 01 L 29/78
// H 01 L 27/12

識別記号

庁内整理番号
7377—5F
8122—5F

⑬ 公開 昭和59年(1984)7月21日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 薄膜トランジスター

⑮ 特 願 昭58—2445

⑯ 出 願 昭58(1983)1月11日

⑰ 発 明 者 山田彪夫

諏訪市大和3丁目3番5号株式

会社諏訪精工舎内

⑱ 出 願 人 株式会社諏訪精工舎

東京都中央区銀座4丁目3番4号

⑲ 代 理 人 弁理士 最上務

明 細 書

発明の名称

薄膜トランジスター

特許請求の範囲

(1) ゲート電極材が多結晶シリコンあるいはアモルファスシリコンからなる薄膜トランジスターにおいて、前記ゲート電極配線上の層間絶縁膜がリンガラス層を介して形成されていることを特徴とする薄膜トランジスター。

(2) 層間絶縁膜下のリンガラス層はリンの固体拡散時に形成されることを特徴とする特許請求の範囲第1項記載の薄膜トランジスター。

発明の詳細な説明

本発明は薄膜トランジスターに関するものであり、さらには薄膜トランジスターの信頼性向上を目的としたものである。

近年情報化社会といわれる中で、コンピュータ関連機器の発展には目ざましいものがあり、こ

れにともなって表示装置においても、従来からのCRTにかわるものとして、各種の平面ディスプレイの開発も盛んである。特に平面ディスプレイでは液晶ディスプレイが、低電力低電圧又は受光タイプのため見易さの面で時計、電卓はもとより、家電製品、自動車用パネルとしても幅広くもちいられている。

又現在CRTにかわる安価な平面ディスプレイとして注目されているものに薄膜トランジスターのアクティブマトリックスによって液晶を駆動する方式が検討されている。

これは透明絶縁基板上にスイッチング用薄膜トランジスター回路をマトリックス状に形成し、この基板と他の一方の透明ガラス板間に液晶を封入した画像表示用のディスプレイパネルである。

アクティブマトリックスによる液晶表示装置の要素の構成の一例を第1図に示した。

スイッチングトランジスター1のゲート電極はゲートライン4に、ソース電極はソースライン5にそれぞれ接続され、ドレイン電極は液晶3の駆動

電極及び、コンデンサー2の一方の電極に接続されている。又薄膜トランジスターを用いたガラス基板上にアクティブマトリックスを構成した場合の一面素の構成例を示したものが第2図の平面図である。6は薄膜トランジスターのドレイン、チャンネル、ソースを形成する多結晶シリコンでありゲート電極はゲートライン7に接続され、又ソース電極はソースライン8に接続されている。

又9は透明導電膜を用いた液晶駆動電極である。以上の如く薄膜トランジスターはアクティブマトリックスの液晶表示パネルのスイッチングトランジスターとしてすでに実用化されつつ有るがその一般的な構造を製造工程に沿って第3図で説明する。第3図(a)において透明絶縁基板10の主面に多結晶シリコンを堆積後写真蝕刻法を用いてトランジスター領域11を形成する。

次に該トランジスター領域11の多結晶シリコン表面を熱酸化しゲート酸化膜12を形成する。

次に第3図(b)の如く透明絶縁基板10の主面全体に電極用の多結晶シリコン13を堆積する。

ないことが実状である。

少なくとも従来工程に加えて保護膜を新たに形成することも当然考えられることであるが、工程数が増加するとともに、保護膜として用いるリンガラス層と配線材が液晶中の水分により反応し逆に信頼性の低下を招く結果となる。

すなわち本発明はかかる従来の薄膜トランジスターの欠点を除去するものであり、従来の製造方式に較べ安価でしかも信頼性の高い薄膜トランジスターを提供するものであり、次に本発明の内容を実施例にもとづき説明する。

第4図(a)~(d)は本発明の薄膜トランジスターを製造するための工程の一例を示したものである。先ず第4図(a)において透明絶縁基板18の主面に多結晶シリコン膜を600℃の減圧下において1500Å堆積後写真蝕刻法を用いてトランジスター領域19を形成する。

次に該トランジスター領域19の多結晶シリコン表面を1100℃にて熱酸化し約1500Åのゲート酸化膜20を形成する。

次に前記電極用多結晶シリコン13は所望の濃度の熱拡散がされた後、表面に形成されたリンガラス膜14をフッ酸溶液にてエッチング除去する。

次に第3図(b)の如く写真蝕刻法にて電極配線15を形成した後、イオン打込み装置を用いて、高濃度のソース、ドレイン打込みを行なう。

第3図(c)は前記の如く高濃度イオン打込み工程を終了した基板主面上に層間絶縁膜16を堆積し、次に該層間絶縁膜16に写真蝕刻法にてコンタクト部の開孔を行ない、しかる後ソース、ドレイン電極材としてアルミニウム17を形成後パターンニングする。但し前記アルミニウムのかわりに必要に応じて、透明導電膜を用いることもある。

以上従来の薄膜トランジスターの一例を示したが従来薄膜トランジスターの欠点として信頼性に欠けることがあげられる。

すなわち薄膜トランジスターを液晶表示装置のスイッチングトランジスターとして用いた場合液晶をはじめとする外部からの水分、汚染の浸入が考えられるが一般的にはその防止策は講じられてい

次に第4図(b)の如く透明絶縁基板18の主面全体に電極用の多結晶シリコン21を600℃の減圧下において約5000Å堆積する。

次に第4図(c)の如く前記多結晶シリコン21を写真蝕刻し電極配線22を形成し続いてイオン打込みの装置にてリンをイオン打込みを行いソース、ドレインを形成する。その後950℃の炉温中で熱拡散を行ない多結晶シリコンの電極配線中にリンを高濃度ドーピングし配線抵抗を下げる。

この際基板全体にリンガラス膜23が約1000Åの厚さで形成される。

このリンガラス膜はドーピング直後は表面上に特に高濃度のリンが付着しそのままでは後工程に支障をきたすため酸の溶液にて洗浄し表面部を洗いおとす必要がある。

次に第4図(d)の如く前記リンガラス膜上に層間絶縁膜としてCVD酸化膜24を1μ堆積後1000℃のN₂雰囲気中にてアニールをほどこす。

次に前記リンガラス膜及びCVD酸化膜に写真蝕刻法にてコンタクトを開孔したのちソース及びド

レイン電極材としてアルミニウムを約1μスバツタ装置にて形成しソース及びドレイン電極25を写真蝕刻法を用いて形成する。

以上の説明の如く本発明はゲート電極配線終了後配線抵抗を下げるための熱拡散工程中に形成されるリンガラス層をそのまま残存せしめ該リンガラス層上に層間絶縁膜を形成することによって特徴を有しており、本発明は従来の製造工程順を一部入れ換えることと、工程中に必然的に形成されるリンガラス層を有効に利用しており、工程数をほとんど変えることなく大きな効果を生じるものである。リンガラス膜の汚染防止効果は周知の事であるが、製造中に形成されたリンガラス層は基板主面全体を被覆しその上層に形成される層間絶縁膜を合せて外部からの汚染の侵入を防止し、素子の長期信頼性が大巾に向上されることは明白であり、現に従来方式の薄膜トランジスターとの信頼性の比較試験においても本発明の効果が顕著にでている。なお本発明の実施例においてリンガラス膜厚はリンの熱拡散条件の選択にて自由に設定可能であり、

リンガラス膜上の層間絶縁膜も必要に応じ厚くし効果を向上せしめることが可能であることは云うまでもない。

又トランジスタ部材及びゲート電極材として本実施例では多結晶シリコン膜を採用しているがこれはアモルファスシリコン膜でもなんら本発明の目的を逸脱するものではない。

図面の簡単な説明

第1図はアクティブマトリックス液晶表示装置の1つの画素の構成例を示したものであり、第2図は従来の薄膜トランジスターを用いたアクティブマトリックス液晶表示装置の1つの画素のパネル上の構成例の1例を示した平面図である。

第3図(a)～(d)は従来の薄膜トランジスターの構造を示す製造工程断面図である。

第4図(a)～(d)は本発明の薄膜トランジスター構造を示す製造工程断面図である。

1, 6・・・薄膜トランジスター

2・・・・・・コンデンサー

3・・・・・・液晶

4, 7・・・ゲートライン

5, 8・・・ソースライン

9・・・・・・液晶表示電極

10, 18・・・絶縁基板

11, 19・・・トランジスター領域

12, 20・・・ゲート酸化膜

13, 21・・・多結晶シリコン

14, 23・・・リンガラス膜

15, 22・・・電極配線

16, 24・・・層間絶縁膜

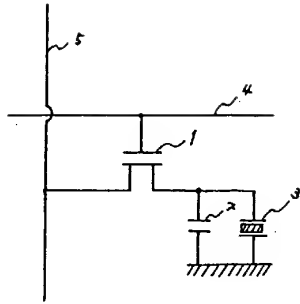
17, 25・・・アルミニウム

以 上

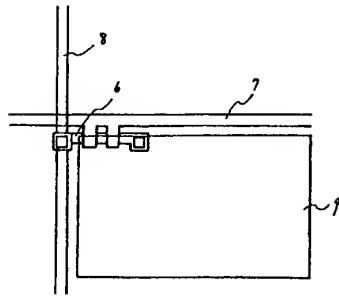
出願人 株式会社諏訪精工舎

代理人 弁理士 最 上

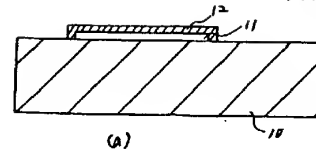




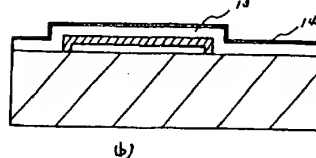
第 1 図



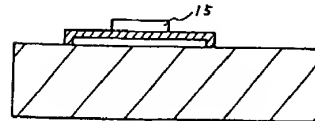
第 2 図



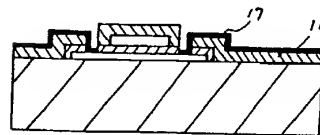
(a)



(b)

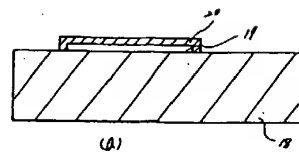


(c)

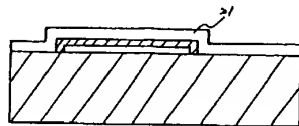


(d)

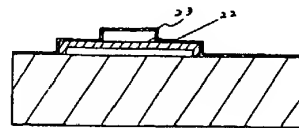
第 3 図



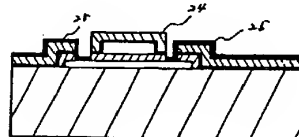
(a)



(b)



(c)



(d)

第 4 図